

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-129331  
 (43)Date of publication of application : 30.04.1992

(51)Int.CI. H03M 1/10  
 G01R 31/26

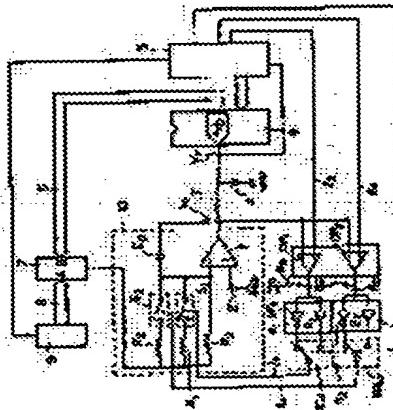
(21)Application number : 02-250510 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 20.09.1990 (72)Inventor : FUJINO YUJI

## (54) TEST CIRCUIT FOR A/D CONVERTER

### (57)Abstract:

**PURPOSE:** To change a timewise change in an output voltage of an integration means freely by changing an integration time constant of the integration means through the increase/decrease of number of impedance elements connecting to the means.

**CONSTITUTION:** As soon as a digital comparator T outputs a conversion data DB, an expected value data DA of a digital expected value generating circuit 9 is set. An output voltage V0 of an operational amplifier 1 rises rapidly by an output signal from the comparator 7. When the output voltage V0 of the operational amplifier 1 exceeds a threshold level VthN-1, a switching relay S1 is turned off and a change in the output voltage V0 of the operational amplifier 1 is slightly slow. When the output voltage V0 of the operational amplifier 1 exceeds a threshold level VthN, the change in the output voltage V0 of the operational amplifier 1 is further slower. When the output voltage V0 of the operational amplifier 1 exceeds a transition level VN, the output voltage V0 of the operational amplifier 1 is decreased conversely. When the output voltage V0 is lower than the level VN, the logic state of a signal V1 is inverted, the output voltage V0 rises again. Through the repetition of the operation above, the output voltage V0 is converged in the vicinity of the transition level VN.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(7)

⑯ 日本国特許庁 (JP) ⑰ 特許出願公開  
 ⑱ 公開特許公報 (A) 平4-129331

⑤Int.Cl.  
 H 03 M 1/10  
 G 01 R 31/26

識別記号 庁内整理番号  
 C 9065-5J  
 8411-2G

⑩公開 平成4年(1992)4月30日

審査請求 未請求 請求項の数 1 (全9頁)

④発明の名称 A/Dコンバータ試験回路

⑪特願平2-250510  
 ⑫出願平2(1990)9月20日

⑬発明者 藤野雄二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内

⑭出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑮代理人 弁理士 石川泰男

明細書

1. 発明の名称

A/Dコンバータ試験回路

2. 特許請求の範囲

デジタル期待値を出力するデジタル期待値発生手段(800)と、A/Dコンバータ(4)が出力する変換データと前記デジタル期待値を比較して被積分信号を出力するデジタルコンバータ手段(700)と、前記被積分信号を積分して前記A/Dコンバータ(4)と半導体試験手段(600)とに出力する積分手段(100)と、を備えたA/Dコンバータ試験回路において、

前記積分手段(100)の積分信号と前記半導体試験手段(600)の出力する閾値を比較する比較手段(200-1～200-0)と、前記比較手段(200-1～200-0)の出力信号を論理反転させた信号とストレートバスさせた信号を出力する論理調整手段(300-1～300-0)

と、前記論理調整手段(300-1～300-0)の出力信号をセレクトする切り換え手段(400-1～400-0)と、

前記積分手段(100)のインピーダンス素子(Q<sub>1</sub>)に、前記切り換え手段(400-1～400-0)の出力信号で開閉をコントロールされるスイッチ手段(500-1～500-0)とインピーダンス素子(Q<sub>1</sub>～Q<sub>2</sub>)を直列接続したものを複数、並列に接続したことを特徴とするA/Dコンバータ試験回路。

3. 発明の詳細な説明

(概要)

アナログ/デジタル変換器(以下、A/Dコンバータとする。)の特性試験装置に係り、より詳しくは、A/Dコンバータが出力する変換データの最下位bit(以下、LSBとする)が変化するときのアナログ入力電圧(以下、遷移レベルとする)を測定するA/Dコンバータ試験装置に関するものである。

## 特開平4-129331 (2)

し、

積分回路10の出力電圧の経時変化量を多段に変化させて、遷移レベル近傍での出力電圧変化は小さく、他の電圧領域では素早く変化させて試験時間をより速くするA/Dコンバータ試験回路を提供すること目的とし、

デジタル期待値を出力するデジタル期待値発生手段と、A/Dコンバータが出力する変換データと前記デジタル期待値を比較して被積分信号を出力するデジタルコンバーティング手段と、前記被積分信号を積分して前記A/Dコンバータと半導体試験手段とに出力する積分手段と、を備えたA/Dコンバータ試験回路において、前記積分手段の積分信号と前記半導体試験手段の出力する閾値を比較する比較手段と、前記比較手段の出力信号を論理反転させた信号とストレートバスさせた信号を出力する論理調整手段と、前記論理調整手段の出力信号をセレクトする切り換え手段と、前記積分手段のインピーダンス素子に、前記切り換え手段の出力信号で開閉をコントロールされるスイッチ

手段とインピーダンス素子を直列接続したもの複数、並列に接続して成する。

## (産業上の利用分野)

本発明は、アナログ/デジタル変換器(以下、A/Dコンバータとする。)の特性試験装置に係り、より詳しくは、A/Dコンバータが出力する変換データの最下位bit(以下、LSBとする)が変化するときのアナログ入力電圧値(以下、遷移レベルとする。)を測定するA/Dコンバータ試験装置に関する。

近年のデジタル技術の急激な進歩は、より高度な回路技術を必要とした計測装置の分野でも、デジタル回路が多用されつつある。このデジタル化に必要な素子の一つにアナログデータをデジタルデータに変換するA/Dコンバータがある。

A/Dコンバータの性能を表現する指標として精度と分解能があるが、分解能とは微少間隔を有する2つのアナログ信号を判別する能力のことであり、分解能が高いほど、アナログ信号をデジタ

ル信号でより細かく近似できることになる。例えば、nビットのA/Dコンバータでは $2^n$ 個のステップでアナログ入力信号を分解することであり、 $\frac{1}{2^n}$ の分解能を有することになる。さらに精度とは入力されるアナログ信号をより正確に対応するデジタルデータに変換できるかということである。

詳細に述べると、peak to peakが±10Vの入力電圧を12ビットのA/Dコンバータでデジタル変換した場合、

$$\text{分解能} = 1/2^{12} = 1/4096,$$

$20\text{ (V)} / 4096 = 4.88\text{ (mV)}$ であり、

$-10\text{ (V)} \pm 2.44\text{ (mV)}$ 以内の入力電圧を16進コード000に正しく変換できるか否かということである。この精度が悪いと、 $-10\text{ (V)} \pm 2.44\text{ (mV)}$ 以外の入力電圧も16進コード000と変換することになり、A/Dコンバータによる量子化誤差を大きくすることにな

る。

そこで、高分解能で、しかも高精度なA/Dコンバータが求められている。しかし、そのような高分解能で高精度のA/Dコンバータの遷移レベルを測定する場合、非常に時間のかかるものとなっている。本発明はこの測定時間のかかる試験装置の改良に関するものである。

## (従来の技術)

従来のA/Dコンバータ試験回路の例を第5図に示す。同図に示すように、符号では演算増幅器(以下、オペアンプという。)で、その非反転入力端子には定電圧源2が接続されており、反転入力端子にはデジタルコンバーティング7の出力端子と抵抗R<sub>f</sub>を介して接続されている。コンデンサC<sub>f</sub>は負帰還用の積分コンデンサであり、積分回路50を構成している。オペアンプ1の出力端子は抵抗Zを介してA/Dコンバータ4の入力端子と半導体試験装置5の入力端子とに接続されている。また、A/Dコンバータ4の入力端子には、

## 特開平4-129331(3)

クランパーとして作用するツェナーダイオード3のカソード端子が接続されている。

A/D変換されたデータD<sub>1</sub>が出力されるA/Dコンバータ4の出力端子は複数の信号ラインで構成されたデータライン6でデジタルコンバレータ7の入力端子Bに接続されている。また、デジタルコンバレータ7の他方の入力端子Aにはデジタル期待値発生回路9の出力端子とデータライン8で接続されている。このデジタル期待値発生回路9は半導体試験装置5のコマンド信号によって期待値データD<sub>1</sub>をデジタルコンバレータ7に出力する。

次に概要動作について説明する。このA/Dコンバータ試験装置はA/Dコンバータ4のアナログ入力電圧値で、A/D変換データのLSBが変化する遷移レベルV<sub>1</sub>、V<sub>2</sub>、…V<sub>n</sub>を測定する。

デジタル期待値発生回路9の出力する期待値データD<sub>1</sub>とA/Dコンバータ4の変換データD<sub>1</sub>をデジタルコンバレータ7は大小比較して2値信号V<sub>1</sub>を積分回路10に出力する。この2値信号

は、データD<sub>1</sub>ミデータD<sub>1</sub>ならV<sub>α</sub>(V)で、データD<sub>1</sub>(データD<sub>1</sub>ならV<sub>β</sub>(V)、(V<sub>α</sub><V<sub>β</sub>)となっている。

積分回路10は次の様な電圧V<sub>0</sub>を出力する。

$$V_0 = -\frac{1}{C_1 R_D} \int (V_i - V_S) dt + V_S \quad \dots (1)$$

ここでV<sub>S</sub>は定電圧源2の出力電圧であり、電圧V<sub>α</sub>、V<sub>β</sub>、V<sub>S</sub>の大小関係はV<sub>α</sub><V<sub>S</sub><V<sub>β</sub>となっている。

従って、積分回路10の出力電圧V<sub>0</sub>は、信号V<sub>1</sub>が電圧V<sub>α</sub>なら上昇し続け、電圧V<sub>β</sub>ならば減少し続ける。

この変化する出力電圧V<sub>0</sub>を入力されているA/Dコンバータ4は、変換データD<sub>1</sub>を電圧V<sub>0</sub>に追従するように変化させることになる。

従って、積分回路10の出力電圧V<sub>0</sub>、つまりはA/Dコンバータ4のアナログ入力電圧V<sub>p</sub>は、第6図のように、期待値データD<sub>1</sub>と変換するデータD<sub>1</sub>が等しい間(ステップSの間)は上昇し

続け、変換データD<sub>1</sub>が1bitインクリメントする遷移レベルを越えると逆に下降し、遷移レベル近傍を上下振動する。

この上下振動している場合のアナログ入力電圧V<sub>p</sub>の平均を求めて遷移レベルV<sub>0</sub>とする。

## 〔発明が解決しようとする課題〕

上記従来のA/Dコンバータ試験回路において問題となるのは、全遷移電圧値V<sub>1</sub>、V<sub>2</sub>、…V<sub>n</sub>を測定する所要時間であって、分解能が高いA/Dコンバータほど多く時間を要する。この測定時間を決定する素因はアナログ入力電圧V<sub>p</sub>の単位時間当たりの変化量であって、上記(1)式の微分係数によって変わられる。この微分係数は積分時定数C<sub>1</sub>R<sub>D</sub>の関数であり、積分時定数C<sub>1</sub>R<sub>D</sub>が小さいほど電圧V<sub>p</sub>の変化は激しいものとなる。そこで積分時定数C<sub>1</sub>R<sub>D</sub>を小さくすれば第6図の電圧V<sub>p</sub>の遷移レベルV<sub>0,-1</sub>から遷移レベルV<sub>0</sub>に変化する所要時間T<sub>1</sub>を短くすることができ、結果測定時間全体を短くすることが

できる。しかし、この電圧V<sub>p</sub>の変化を大きくすると遷移レベル近傍における電圧V<sub>p</sub>の振幅が大きくなり、半導体試験装置5で求めている遷移電圧値が不正確になる。これはA/Dコンバータ4のA/D変換に要するタイムロスで、変化し続ける積分回路10の出力へのフィードバックが遅れることによる。

A/Dコンバータ試験回路としては、遷移レベル近傍におけるA/Dコンバータ4のアナログ入力電圧V<sub>p</sub>の振幅が小さく、しかも前記所要時間T<sub>1</sub>のより短いことが好ましいことになる。

そこで、本発明の目的は、積分回路10の出力電圧の経時変化量を多段に変化させて、遷移レベル近傍での出力電圧変化は小さく、他の電圧領域では素早く変化させて試験時間をより速くするA/Dコンバータ試験回路を提供することにある。

## 〔課題を解決するための手段〕

上記課題を解決するために、本発明は第1図に示すように、デジタル期待値を出力するデジタル

特開平4-129331 (4)

期待値発生手段 800 と、A/D コンバータ 4 が  
出力する変換データと前記デジタル期待値を比較  
して被積分信号を出力するデジタルコンバーテ  
手段 700 と、前記被積分信号を積分して前記  
A/D コンバータ 4 と半導体試験手段 600 とに  
出力する積分手段 100 と、を備えた A/D コン  
バータ試験回路において、前記積分手段 100 の  
積分信号と前記半導体試験手段 600 の出力する  
電圧を比較する比較手段 200-1～200-2 と、  
前記比較手段 200-1～200-2 の出力信号を論理  
反転させた信号と、ストレートバスさせた信号  
を出力する論理調整手段 300-1～300-2 と、  
前記論理調整手段 300-1～300-2 の出力信号  
をセレクトする切り換え手段 400-1～400-2 、  
と、前記積分手段 100 のインピーダンス素子  
 $Q_1$  に、前記切り換え手段 400-1～400-2 の  
出力信号で開閉をコントロールされるスイッチ手  
段 500-1～500-2 とインピーダンス素子  $Q_1$   
～ $Q_2$  を直列接続したものを複数、並列に接続し  
て構成する。

## 〔作用〕

本発明によれば、積分手段 100 より出力され  
る積分信号の電圧を遷移レベル  $V_{n-1}$  から遷移レ  
ベル  $V_n$  に変化させるととき、上記積分信号の電圧  
が半導体試験手段 600 によって定められた閾値  
を越えたことを比較手段 200-1～200-2 で検  
知し、論理調整手段 300-1～300-2 及び切換  
え手段 300-1～300-2 によってスイッチ手段  
500-1～500-2 の開閉をコントロールする。  
このスイッチ手段 500-1～500-2 の開閉によ  
りオペアンプ 1 に接続されるインピーダンス素子  
の個数が増減することで積分信号の電圧値経時変  
化量が調整される。積分信号の電圧値が遷移レ  
ベル  $V_n$  近傍では、その変化量を小さく、他の電圧  
範囲では変化量を大きくなるように調整するこ  
とで、遷移レベル  $V_{n-1}$  から遷移レベル  $V_n$  への積  
分信号の出力変化はより早くでき測定時間の短縮  
を図れる。

## 〔実施例〕

次に、本発明の実施例を図面に基づいて説明す  
る。第2図～第3図に本発明の実施例を示し、第  
5図(従来例)と同一部分には同一符号を附して  
ある。オペアンプ 1、A/D コンバータ 4、デジ  
タルコンバータ 7 及びデジタル期待値発生回路  
9 は従来例と同様で、A/D コンバータ 4 はオペ  
アンプ 1 から抵抗  $Z$  を介して入力される信号電圧  
 $V_p$  を A/D 変換し、デジタルコンバータ 7 に  
変換データ  $D_3$  を出力する。デジタルコンバータ 7 は、半導体試験装置 5 の出力コマンドに従って  
デジタル期待値発生回路 9 が生成する期待値デ  
ータ  $D_A$  と、上記変換データ  $D_3$  とを比較して被  
積分信号をオペアンプ 1 に出力する。

従来例と異なる部分を以下に説明する。オペア  
ンプ 1 の反転入力端子に接続されている抵抗  $R_1$   
には、スイッティングリレー  $S_1$  を直列に接続した  
抵抗  $R_1$  と、スイッティングリレー  $S_2$  を直列に接  
続した抵抗  $R_2$  とが並列に接続されている。比較  
器  $O.P_1$ 、 $O.P_2$  の各反転入力端子はオペアンプ

1 の出力端子と接続されている。比較器  $O.P_1$  の  
非反転入力端子には、信号  $\mu_1$  が入力されるよう  
に半導体試験装置 5 の出力端子が接続されており、  
比較器  $O.P_2$  の非反転入力端子にも同様に、信号  
 $\mu_2$  が入力されるよう半導体試験装置 5 の出力  
端子が接続されている。抵抗  $R_3$  でブルアップさ  
れた比較器  $O.P_1$  の出力端子は、論理反転回路  
 $Y.F_1$  のインバータ  $A_1$  とノンインバータ  $B_1$  の  
各入力端子に接続されている。そして、インバ  
ータ  $A_1$  とノンインバータ  $B_1$  の各出力端子はセレ  
クタ  $S.E.L_1$  の 2 つの切り換え接点にそれぞれ接  
続されている。また、比較器  $O.P_2$  の出力端子も  
同様に、抵抗  $R_4$  でブルアップされるとともに、  
インバータ  $A_2$  とノンインバータ  $B_2$  の入力端子  
に接続され、インバータ  $A_1$  とノンインバータ  
 $B_1$  の各出力端子はセレクタ  $S.E.L_1$  の切り換え  
接点にそれぞれ接続されている。このセレクタ  
 $S.E.L_1$ 、 $S.E.L_2$  は半導体試験装置 5 より出力  
される信号  $\mu_3$  によってコントロールされる。

セレクタ  $S.E.L_1$  より出力される信号  $\mu_1$  で前

## 特開平4-129331(5)

記したスイッチングリレー $S_1$  の開閉がコントロールされセレクタ $SEL_2$  より出力される信号 $\mu_2$  でスイッチングリレー $S_2$  がコントロールされる。

次に動作について説明する。

スイッチングリレー $S_1$ 、 $S_2$  が開閉されると、

$$\text{積分時定数} = C \left( \frac{1}{R_1} + \frac{1}{R_2} \dots \right) \text{ と変化}$$

する。この積分時定数が小さいと、前記(1)式からも分かるように、オペアンプ1の出力電圧 $V_0$  の経時変化量は大きくなる。そこで、半導体試験装置5によりスイッチングリレー $S_1$ 、 $S_2$  の開閉をコントロールすることでオペアンプ1の出力特性をリアルタイムに変化させる。

A/Dコンバータ4の遷移レベルの最低値より順次測定する場合と、最高値より順次測定する場合とではその動作が異なり、初めに最低値より順次測定する場合について説明する。

初期設定として期待値発生回路9をゼロ・クリアしてオペアンプ1の出力電圧 $V_0$  を最低出力ま

で下げる、セレクタ $SEL_1$ 、 $SEL_2$  をインバータ $B_1$ 、 $B_2$  側に切り換えておく。比較器 $OP_1$ 、 $OP_2$  の出力電圧は、入力信号 $\mu_1$ 、 $\mu_2$  の電圧よりオペアンプ1の出力電圧 $V_0$  が低いため、ハイレベルとなっている。これによりスイッチングリレー $S_1$ 、 $S_2$  はオンし、積分時定数は最小となっている。

この状態よりA/Dコンバータ4を動作させ、デジタルコンバータ7に変換データ $D_B$  を出力させるとともに、デジタル期待値発生回路9の期待値データ $D_A$  をセットさせる。変換データ $D_B$  と期待値データ $D_A$  の大小比較に基づくデジタルコンバータ7の出力信号により、オペアンプ1の出力電圧 $V_0$  は第4図実線U<sub>1</sub> のように急速に上昇する。

比較器 $OP_1$ 、 $OP_2$  に入力されている信号 $\mu_1$ 、 $\mu_2$  の電圧値は半導体試験装置5によって閾値 $V_{th_{1-1}}$ 、 $V_{th_{1-1}}$  に設定されており、オペアンプ1の出力電圧 $V_0$  が閾値 $V_{th_{1-1}}$  を越えると、比較器 $OP_1$  の出力レベルが反転し、スイッチ

グリレー $S_1$  がオフする。これにより抵抗 $R_1$  の接続が開放され積分時定数が大きくなり、オペアンプ1の出力電圧 $V_0$  の変化は、第4図実線U<sub>2</sub> のように、やや緩やかになる。さらに、出力電圧 $V_0$  が閾値 $V_{th_{1-1}}$  を越えるとスイッチングリレー $S_2$  もオフして抵抗 $R_2$  の接続が開放されて、出力電圧 $V_0$  の変化はさらに緩やかになる。しかしで、出力電圧 $V_0$  が遷移レベル $V_1$  を越えると、デジタルコンバータ7の出力信号 $V_1$  が論理反転し、オペアンプ1の出力電圧 $V_0$  は逆に下がる。再び出力電圧 $V_0$  が遷移レベル $V_1$  より低くなると信号 $V_1$  が論理反転して、出力電圧 $V_0$  は再び上昇する。この繰り返しにより、出力電圧 $V_0$  は遷移レベル $V_1$  近傍に収束することになる。

こうして、遷移レベル $V_1$  が測定されると、半導体試験装置5は期待値データ $D_A$  を1bitインクリメントするとともに、信号 $\mu_1$ 、 $\mu_2$  の電圧レベルを閾値 $V_{th_{1+1}}$ 、 $V_{th_{1+2}}$  にインクリメントして次の遷移レベル $V_{1+1}$  について測定する。このようにして遷移レベル $V_1$ 、 $V_2$  …  $V_n$  につ

いて順次測定される。

以上とは別に、遷移レベル $V_1$ 、 $V_2$  …  $V_n$  を高い値より低い値に向って測定する場合には、セレクタ $SEL_1$ 、 $SEL_2$  をインバータ $A_1$ 、 $A_2$  側に切り換えておく。これは信号 $\mu_1$ 、 $\mu_2$  による閾値 $V_{th_{1-1}}$ 、 $V_{th_{1-1}}$  よりオペアンプ1の出力電圧 $V_0$  が下がったときに初めてスイッチングリレー $S_1$ 、 $S_2$  を開放させるためである。その他の動作は上記と同様である。

次に、第2実施例を第3図を用いて説明する。第1実施例と異なる部分は、積分器10の積分時定数を接続する負荷選用のコンデンサ $C_0$ 、 $C_1$ 、 $C_2$  によって変化させたことである。コンデンサ $C_0$  に、スイッチングリレー $S_1$  を直列接続したコンデンサ $C_1$  と、スイッチングリレー $S_2$  を直列接続したコンデンサ $C_2$  を直列に接続してある。スイッチングリレー $S_1$ 、 $S_2$  の開閉は、第1実施例と同様に、セレクタ $SEL_1$ 、 $SEL_2$  で切り換えられたインバータ $A_1$ 、 $A_2$  又はインバータ $B_1$ 、 $B_2$  の出力信号 $\mu_1$ 、 $\mu_2$  によってコン

## 特開平4-129331(6)

トロールされている。ただし、セレクタ SEL<sub>1</sub>、SEL<sub>2</sub> の切り替えは、第1実施例と異なり、A/Dコンバータ4の遷移レベル V<sub>1</sub>、V<sub>2</sub> … V<sub>n</sub> を低い値より順に測定する際には、インバータ A<sub>1</sub>、A<sub>2</sub> 側にしておき、遷移レベルを高い値より測定する際には、ノンインバータ側に切り替えておく。

このようにして、積分器10の積分時定数を変化させたことで、遷移レベル V<sub>1</sub> から次の遷移レベル V<sub>2</sub> への、電圧変化を大きくでき、測定時間の短縮を図ることができる。さらには、遷移レベル V<sub>1</sub> 近傍におけるオペアンプ1の出力電圧 V<sub>1</sub> の振動を小さな振幅としていることで、より精度の高い遷移レベル測定が可能である。

以上の実施例において、2個のスイッチングリレー S<sub>1</sub>、S<sub>2</sub> の開閉で積分時定数を変化させたものを示したが、その個数については限定するものではない。

## (発明の効果)

以上のとおり、本発明によれば、積分手段の積分時定数を、接続されているインピーダンス素子の個数を増減させて変化させたので、積分手段の出力電圧の経時変化量を自由に変化させることができ、遷移レベル近傍における出力変化をより小さく、しかも遷移レベルから次の遷移レベルへの出力変化はより早くすることができ、A/Dコンバータの試験時間を短縮できるとともに、遷移レベル測定の精度を高めることが可能となる。

## 4. 図面の簡単な説明

第1図は本発明の原理説明図、  
 第2図は第1実施例の回路図、  
 第3図は第2実施例の回路図、  
 第4図はオペアンプ1の出力特性説明図、  
 第5図は従来のA/Dコンバータ試験装置の回路図、  
 第6図は従来のA/Dコンバータ入力特性説明図である。

100…積分手段

200<sub>-1</sub>~200<sub>-1</sub>…比較手段300<sub>-1</sub>~300<sub>-1</sub>…論理調整手段400<sub>-1</sub>~400<sub>-1</sub>…切り替え手段500<sub>-1</sub>~500<sub>-1</sub>…スイッチ手段

600…半導体試験手段

700…デジタルコンバータ手段

800…デジタル期待値発生手段

1…オペアンプ

2…定電圧源

3…フェナーダイオード

4…A/Dコンバータ

5…半導体試験装置

6…データライン

7…デジタルコンバータ

8…データライン

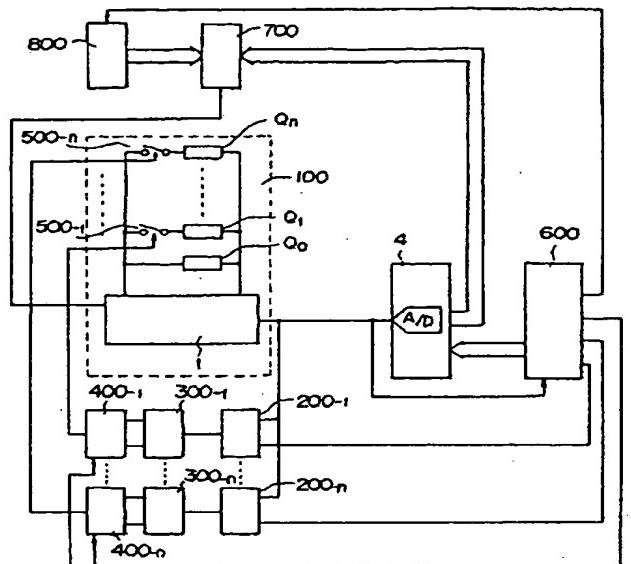
9…デジタル期待値発生回路

10…積分回路

VF<sub>1</sub>、VF<sub>2</sub>…論理反転回路R<sub>0</sub>、R<sub>1</sub>、R<sub>2</sub>、Z、R<sub>3</sub>、R<sub>4</sub>…抵抗OP<sub>1</sub>、OP<sub>2</sub>…比較器A<sub>1</sub>…インバータB<sub>1</sub>…ノンインバータA<sub>2</sub>…インバータB<sub>2</sub>…ノンインバータS<sub>1</sub>、S<sub>2</sub>…スイッチングリレーSEL<sub>1</sub>、SEL<sub>2</sub>…セレクタC<sub>0</sub>、C<sub>1</sub>、C<sub>2</sub>…コンデンサ

GND…グランド

出願人代理人 石川泰男

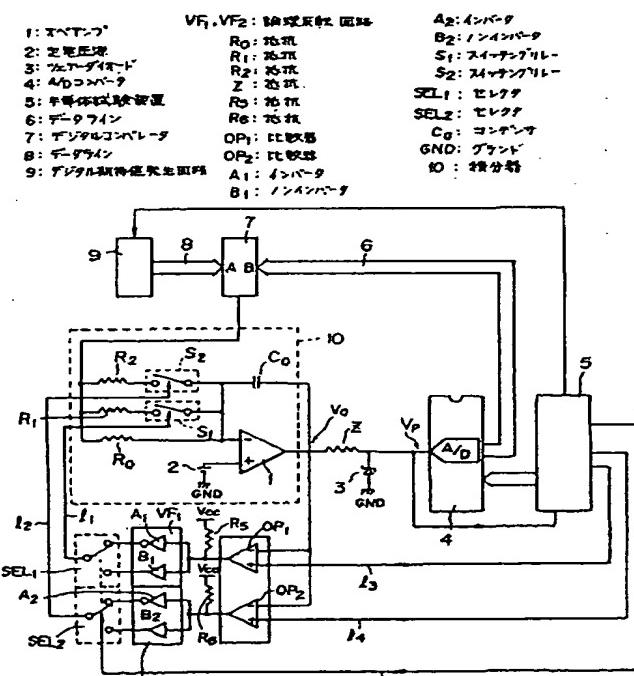


1: オペアンプ  
 2: 反応抵抗  
 3: フィードフォワード  
 4: A/D コンバータ  
 5: 半導体比較装置  
 6: フィードライン  
 7: デジタルコンバーター  
 8: フィードライン  
 9: デジタル相待価発生回路  
 10: 比較手段  
 100: 構造手段  
 200-1, 200-n: 比較手段  
 300-1, 300-n: 離域調節手段  
 400-1, 400-n: 打り抜き手段  
 500-1~500-n: スイッチ手段  
 600: 半導体式構造手段  
 800: デジタル期待価発生手段  
 700: デジタルコンバーター手段

本発明の原理説明図

第1図

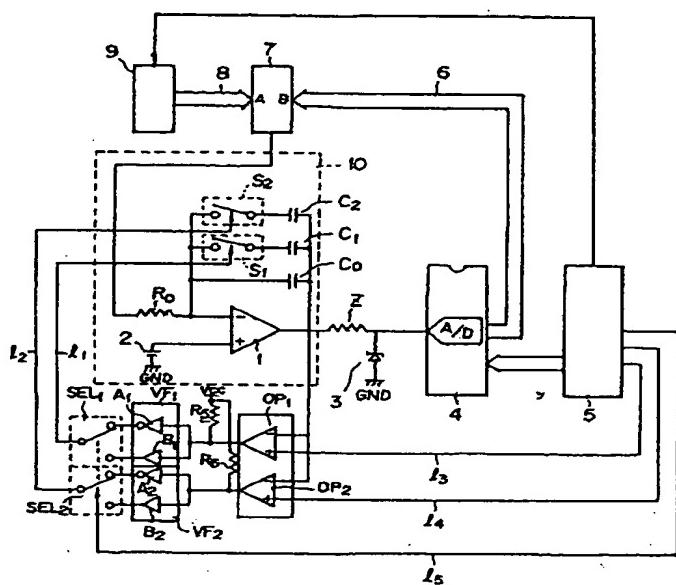
400-1, 400-n: 打り抜き手段



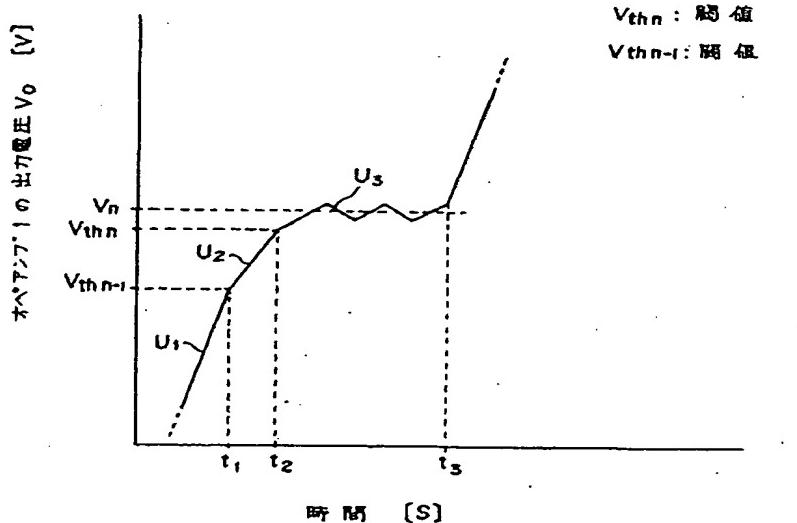
第1実施例の回路図  
第2図

特開平4-129331 (8)

$C_1$ : コンデンサ  
 $C_2$ : コンデンサ



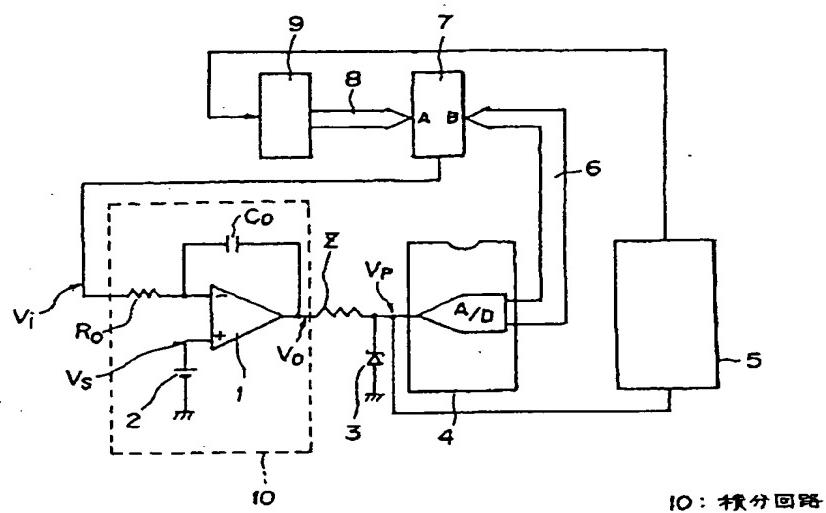
第2実施例の回路図  
第3図



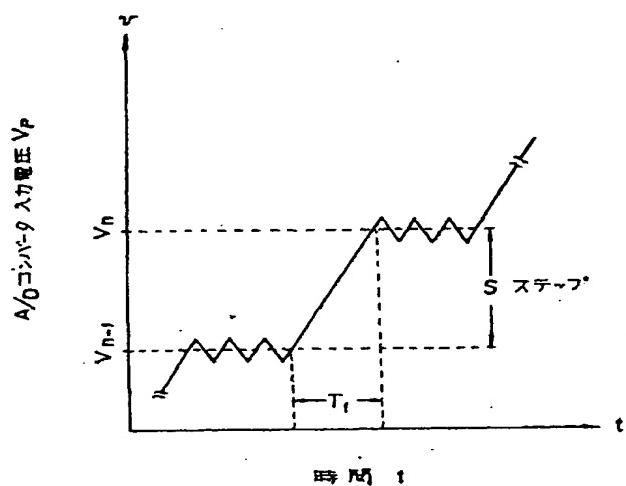
オペアンプ1の出力特性図

第4図

特開平4-129331(9)



従来例の回路図  
第5図



従来例のA/Dコンバータ4 入力電圧 - 時間図  
第6図

